

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

공개특허 97-72358 1/2

대한민국 특허청 (KOR)
공개특허공보 (A)

Int. Cl.
H 01 L 23/50

제 2658 호

공개일자 1997. 11. 7
출원일자 1996. 4. 1

공개번호 97-72358
출원번호 96- 9774
심사청구 : 있음

발 명 자 허 명 욱 경기도 성남시 분당구 수내동 55 롯데아파트 132· 1504

출 원 인 아남산업 주식회사 대표이사 황 인 실

서울특별시 성동구 성수 2가 280-8 (우 : 133-120)

대리인 변리사 서 만 규

(전 2 건)

반도체패키지의 제조방법 및 구조

요 약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저면을 외부로 노출시켜 피로분해시 발생하는 열응축의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상시키는 물론, 패키지의 몸체 부 외측에 위치한 리드는 접단하고, 돌출부 내측에 위치한 리드는 그 저면을 외부로 노출시켜 마이크로에 실장 시 리드의 저면에서 신호전달을 하도록 함으로써 실장면적을 최소화할 수 있는 반도체패키지이다.

특허청구의 범위

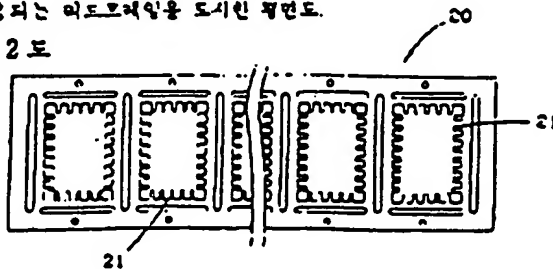
1. 다수의 리드가 형성되고, 상기 다수의 리드 중앙부에는 침입재판이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임에 다수의 리드 중앙부에 반도체칩을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체칩 및 와이어를 외부의 산화 및 부식으로부터 보호하기 위하여 몰딩하는 단계와; 상기 단계 후에 몰딩영역 외곽에 위치한 리드를 절단하는 단계로 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.
2. 제1항에 있어서, 상기 와이어본딩후 배플 홀(Vacuum Hole)이 형성된 허디볼릭에 반도체칩을 위치시켜 상기 배플 홀로 공기를 빨아들여 반도체칩을 지지 고정하는 것을 특징으로 하는 반도체패키지의 제조방법.
3. 제1항에 있어서, 상기 몰딩단계는 액상 봉지재를 사용하여 몰딩하는 것을 특징으로 하는 반도체패키지의 제조방법.
4. 제1항 또는 3항에 있어서, 액상 봉지재를 사용하여 몰딩하기 전에 몰딩영역에 단물 형성하여 액상 봉지재가 들어 임치는 것을 방지하는 것을 특징으로 하는 반도체패키지의 제조방법.
5. 제1항에 있어서, 상기 몰딩단계는 몰드 컴파운드를 사용하여 몰딩하는 것을 특징으로 하는 반도체패키지의 제조방법.
6. 제3항 또는 5항에 있어서, 상기 액상 봉지재 및 몰드 컴파운드 몰딩 후, 150℃ 이상의 온도에서 수시간 노출시켜 경화시키는 공정을 포함하는 것을 특징으로 하는 반도체패키지의 제조방법.
7. 제1항에 있어서, 상기 반도체패키지의 저면에는 그라인드(Grind)를 실시하여 플래시(Flash)를 제거하는 것을 특징으로 하는 반도체패키지의 제조방법.
8. 제1항에 있어서, 상기 몰딩영역의 외곽에 위치한 리드를 절단시 절단을 용이하게 하기 위하여 절단되는 부위의 리드에 노치(Notch)를 형성함을 특징으로 하는 반도체패키지의 제조방법.
9. 서면이 외부로 노출되는 반도체칩과; 상기 반도체칩의 외곽에 위치되고 몰딩영역을 벗어나지 않으며 지면이 외부로 노출되어 저면에서 신호의 입출력이 이루어지는 다수개의 리드와; 상기 반도체칩과 리드를 연결시켜주는 와이어와; 상기 반도체칩, 리드 및 와이어를 외부 환경으로부터 보호하기 위하여 몰딩된 액상 봉지재 또는 컴파운드로 구성된 것을 특징으로 하는 반도체패키지의 구조.
10. 제9항에 있어서, 상기 몰딩된 액상 봉지재 및 컴파운드는 리드 및 반도체칩의 상부뿐만 몰딩된 것을 특징으로 하는 반도체패키지의 구조.
11. 제9항에 있어서, 상기 반도체패키지의 저면에는 플래시(Flash)의 제거를 하기 그라인드(Grind) 된 것을 특징으로 하는 반도체패키지의 구조.
12. 제8항에 있어서, 리드프레임의 다수의 리드 중앙부에는 침입재판이 없는 것을 특징으로 하는 반도체패키지의 구조.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제2도는 본 발명에 적용되는 리드프레임을 도시한 평면도.

제 2 도



대한민국 특허청 (KOR)
공개특허 공보 (A)

Int. Cl.
H 01 L 23/50

제 2658 호

공개일자 1997. 11. 7

공개번호 97-72338

출원일자 1996. 4. 1

출원번호 96- 9774

심사청구 : 있음

발 명 자 허 명 욱 경기도 성남시 은평구 수내동 55 롯데아파트 132· 1504

출 원 인 아남산업 주식회사 대표이사 황 인 신

서울특별시 성동구 성수 2가 280-8 (우 : 133-120)

대리인 변리사 서 만 규

(전 2 인)

반도체패키지의 제조방법 및 구조

요 약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저면을 외부로 노출시켜 피코볼딩시 발생하는 열단층의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상시키는 물론, 패키지의 용량 부 외측에 위치한 리드는 간단하고, 플립부 내측에 위치한 리드는 그 저면을 외부로 노출시켜 미더보트에 실장 시 리드의 저면에서 신호전달을 하도록 함으로서 실장면적을 최소화할 수 있는 반도체패키지이다.

특허특허의 범위

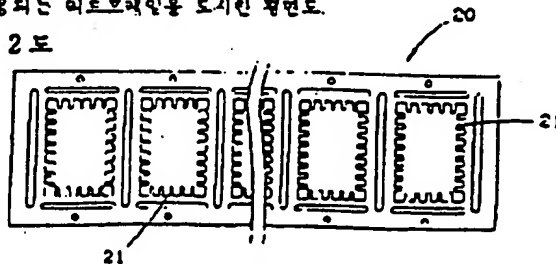
1. 다수의 리드가 형성되고, 상기 다수의 리드 중앙부에는 침입재층이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임의 다수의 리드 중앙부에 반도체층을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체층 및 와이어본딩의 외부의 산화 및 부식으로부터 보호하기 위하여 몰딩하는 단계와; 상기 몰딩 후에 몰딩영역 외곽에 위치한 리드를 절단하는 단계로 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.
2. 제1항에 있어서, 상기 와이어본딩은 배플 홀(Vacuum Hole)이 형성된 하디볼록에 반도체층을 위치시켜 상기 배플 홀로 금기를 밀어넣어 반도체층을 지지 고정하는 것을 특징으로 하는 반도체패키지의 제조방법.
3. 제1항에 있어서, 상기 몰딩단계는 액상 봉지재를 사용하여 몰딩하는 것을 특징으로 하는 반도체패키지의 제조방법.
4. 제1항 또는 3항에 있어서, 액상 봉지재를 사용하여 몰딩하기 전에 몰딩영역에 안을 형성하여 액상 봉지재가 들어 남는 것을 방지하는 것을 특징으로 하는 반도체패키지의 제조방법.
5. 제1항에 있어서, 상기 몰딩단계는 몰드 컴파운드를 사용하여 몰딩하는 것을 특징으로 하는 반도체패키지의 제조방법.
6. 제3항 또는 5항에 있어서, 상기 액상 봉지재 및 몰드 컴파운드로 몰딩 후, 150°C 이상의 온도에서 수시간 노출시켜 경화시키는 공정을 포함하는 것을 특징으로 하는 반도체패키지의 제조방법.
7. 제1항에 있어서, 상기 반도체패키지의 저면에는 그라인드(Grind)를 실시하여 플래시(Flash)를 제거하는 것을 특징으로 하는 반도체패키지의 제조방법.
8. 제1항에 있어서, 상기 몰딩영역의 외곽에 위치한 리드를 절단시 절단을 용이하게 하기 위하여 절단되는 부위의 리드에 노치(Notch)를 형성한 것을 특징으로 하는 반도체패키지의 제조방법.
9. 서면이 외부로 노출되는 반도체층과; 상기 반도체층의 외측에 위치되고 몰딩영역을 벗어나지 않으며 저면이 외부로 노출되어 저면에서 신호의 입출력이 이루어지는 다수의 리드와; 상기 반도체층과 리드를 연결시켜주는 와이어와; 상기 반도체층, 리드 및 와이어본딩의 외부 환경으로부터 보호하기 위하여 몰딩된 액상 봉지재 또는 컴파운드로 구성된 것을 특징으로 하는 반도체패키지의 구조.
10. 제9항에 있어서, 상기 몰딩된 액상 봉지재 및 컴파운드는 리드 및 반도체층의 상부뿐만 몰딩된 것을 특징으로 하는 반도체패키지의 구조.
11. 제9항에 있어서, 상기 반도체패키지의 저면에는 플래시(Flash)의 제거를 위한 그라인드(Grind) 된 것을 특징으로 하는 반도체패키지의 구조.
12. 제9항에 있어서, 리드프레임의 다수의 리드 중앙부에는 침입재층이 없는 것을 특징으로 하는 반도체패키지의 구조.

※ 참고사항: 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제2도는 본 발명에 적용되는 리드프레임을 도시한 평면도.

제 2 도



(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.	(11) 공개번호	특 1997-0072358
H01L 23 / 50	(43) 공개일자	1997년 11월 07일
(21) 출원번호	특 1996-0009774	
(22) 출원일자	1996년 04월 01일	
(71) 출원인	아남산업 주식회사	황민길
(72) 발명자	서울특별시 성동구 성수 2가 280-8 (우 : 133-120) 허영욱	
(74) 대리인	경기도 성남시 분당구 수내동 55 롯데아파트 132-1504 서만규	
심사청구 : 있음		
(54) 반도체패키지의 제조방법 및 구조		

요약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저면을 외부로 노출시켜 회로동작시 발생하는 열 방출의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상시키는 물론 패키지의 몰당부 외측에 위치한 리드는 절단하고, 몰당부 내측에 위치한 리드는 그 저면을 외부로 노출시켜 마더보드에 실장시 리드의 저면에서 신호전달을 하도록 함으로서 실장면적을 최소화할 수 있는 반도체패키지이다.

배경도

도 2

명세서

[발명의 명칭]

반도체패키지의 제조방법 및 구조

[도면의 간단한 설명]

제2도는 본 발명에 적용되는 리드프레임을 도시한 평면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(5/1) 청구의 범위

청구항 1. 다수의 리드가 형성되고, 상기 다수의 리드 중앙부에는 침입재판이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임의 다수의 리드 중앙부에 반도체칩을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체칩 및 와이어를 외부의 산화 및 부식으로부터 보호하기 위하여 몰딩하는 단계와; 상기 단계후에 몰딩영역 외각에 위치한 리드를 절단하는 단계로 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 2. 제1항에 있어서, 상기 와이어본딩은 배공 홀(Vacuum Hole)이 형성된 히터블록에 반도체칩을 위치시켜 상기 배공 홀로 공기를 빨아들여 반도체칩을 지지 고정하는 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 3. 제1항에 있어서, 상기 몰딩단계는 액상 봉지재를 사용하여 몰딩하는 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 4. 제1항 또는 3항에 있어서, 액상 봉지재를 사용하여 몰딩하기 전에 몰딩영역에 감을 형성하여 액상 봉지재가 흘러 넘치는 것을 방지하는 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 5. 제1항에 있어서, 상기 몰딩단계는 골드 컴파운드를 사용하여 몰딩하는 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 6. 제3항 또는 5항에 있어서, 상기 액상 봉지재 및 골드 컴파운드로 몰딩 후, 150℃ 이상의 고온에서 수시간 노출시켜 경화시키는 공정을 포함하는 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 7. 제1항에 있어서, 상기 반도체패키지의 저면에는 그라인드(Grind)를 실시하여 플래쉬(Flash)를 제거하는 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 8. 제1항에 있어서, 상기 몰딩영역의 외각에 위치한 리드를 절단시 절단을 용이하게 하기 위하여 절단되는 부위의 리드에 노치(Notch)를 형성함을 특징으로 하는 반도체패키지의 제조방법.

청구항 9. 저면이 외부로 직접 노출되는 반도체합과; 상기 반도체칩의 외측에 위치되고 몰딩영역을 벗어나지 않으며 저면이 외부로 노출되어 저면에서 신호의 입출력이 이루어지는 다수의 리드와; 상기 반도체칩과 리드를 연결시 켜주는 와이어와; 상기 반도체칩, 리드 및 와이어를 외부 환경으로부터 보호하기 위하여 몰딩된 액상 봉지재 또는 컴파운드로 구성된 것을 특징으로 하는 반도체패키지의 구조.

청구항 10. 제9항에 있어서, 상기 몰딩된 액상 봉지재 및 컴파운드는 리드 및 반도체칩의 상부뿐만 몰딩된 것을 특징으로 하는 반도체패키지의 구조.

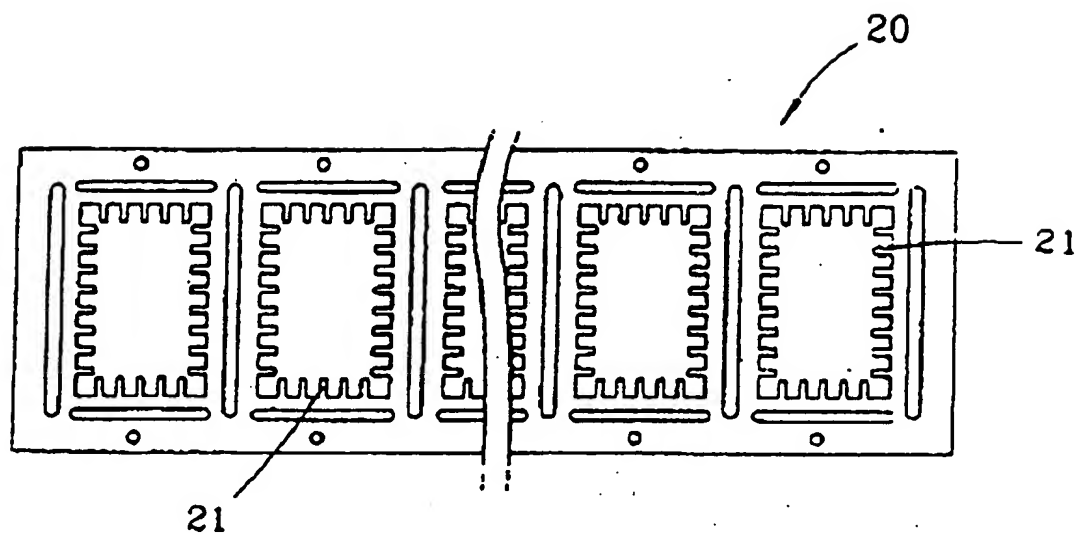
청구항 11. 제9항에 있어서, 상기 반도체패키지의 저면에는 플래쉬(Flash)의 제거를 위해 그라인드 (Grind)된 것을 특징으로 하는 반도체패키지의 구조.

청구항 12. 제9항에 있어서, 리드프레임의 다수의 리드 중앙부에는 침입재판이 없는 것을 특징으로 하는 반도체패키지의 구조.

※ 참고사항: 최초출원 내용에 의하여 공개하는 것임.

FIG. 5

FIG. 6



공개특허 97-72358 1/2

대한민국 특허청 (KRI)
공개특허공보 (A)

Int. Cl.
H 01 L 23/50

제 2658 호

공개일자 1997. 11. 7

공개번호 97-72358

출원일자 1996. 4. 1

출원번호 96- 9774

심사청구 : 있음

발명자 허명옥 경기도 성남시 분당구 수내동 55 롯데아파트 132·1504

출원인 이남산업 주식회사 대표이사 황인선

서울특별시 성동구 성수 2가 280-8 (우: 133-120)

대리인 변리사 서만규

(전 2면)

반도체패키지의 제조방법 및 구조

요약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저면을 외부로 노출시켜 피로분해시 발생하는 열응축의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상시킴은 물론, 패키지의 용접부 외측에 위치한 리드는 접단하고, 용접부 내측에 위치한 리드는 그 저면을 외부로 노출시켜 가더보드에 실장시 리드의 저면에서 신호전달을 하도록 함으로써 실장면적을 최소화할 수 있는 반도체패키지이다.

특허청구의 범위

1. 다수의 리드가 형성되고, 상기 다수의 리드 중앙부에는 침입재판이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임의 다수의 리드 중앙부에 반도체칩을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체칩 및 와이어를 외부의 산화 및 부식으로부터 보호하기 위하여 몰딩하는 단계와; 상기 단계 후에 몰딩영역 외곽에 위치한 리드를 절단하는 단계로 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.
2. 제1항에 있어서, 상기 와이어본딩후 패킹 홀(Vacuum Hole)이 형성된 하디플럭에 반도체칩을 위치시켜 상기 패킹 홀로 공기를 빨아들여 반도체칩을 지지 고정하는 것을 특징으로 하는 반도체패키지의 제조방법.
3. 제1항에 있어서, 상기 몰딩단계는 액상 봉지재를 사용하여 몰딩하는 것을 특징으로 하는 반도체패키지의 제조방법.
4. 제1항 또는 3항에 있어서, 액상 봉지재를 사용하여 몰딩하기 전에 몰딩영역에 당분 형성하여 액상 봉지재가 굳어 남치는 것을 방지하는 것을 특징으로 하는 반도체패키지의 제조방법.
5. 제1항에 있어서, 상기 몰딩단계는 몰드 컴파운드를 사용하여 몰딩하는 것을 특징으로 하는 반도체패키지의 제조방법.
6. 제3항 또는 5항에 있어서, 상기 액상 봉지재 및 몰드 컴파운드로 몰딩 후, 150℃ 이상의 온도에서 수시간 노출시켜 경화시키는 공정을 포함하는 것을 특징으로 하는 반도체패키지의 제조방법.
7. 제1항에 있어서, 상기 반도체패키지의 저면에는 그라인드(Grind)를 실시하여 플래쉬(Flash)를 제거하는 것을 특징으로 하는 반도체패키지의 제조방법.
8. 제1항에 있어서, 상기 몰딩영역의 외곽에 위치한 리드를 절단시 절단을 용이하게 하기 위하여 절단되는 부위의 리드에 노치(Notch)를 형성함을 특징으로 하는 반도체패키지의 제조방법.
9. 서면이 외부로 직접 노출되는 반도체칩과; 상기 반도체칩의 외측에 위치되고 몰딩영역을 벗어나지 않으며 저면이 외부로 노출되어 저면에서 신호의 입출력이 이루어지는 다수의 리드와; 상기 반도체칩과 리드를 연결시켜주는 와이어와; 상기 반도체칩, 리드 및 와이어를 외부 환경으로부터 보호하기 위하여 몰딩된 액상 봉지재 또는 컴파운드로 구성된 것을 특징으로 하는 반도체패키지의 구조.
10. 제9항에 있어서, 상기 몰딩된 액상 봉지재 및 컴파운드는 리드 및 반도체칩의 상부뿐만 몰딩된 것을 특징으로 하는 반도체패키지의 구조.
11. 제9항에 있어서, 상기 반도체패키지의 저면에는 플래쉬(Flash)의 제거를 위한 그라인드(Grind)된 것을 특징으로 하는 반도체패키지의 구조.
12. 제9항에 있어서, 리드프레임의 다수의 리드 중앙부에는 침입재판이 없는 것을 특징으로 하는 반도체패키지의 구조.

※ 참고사항: 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제2도는 본 발명에 적용되는 리드프레임을 도시한 평면도.

제 2 도

